

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-182241
 (43)Date of publication of application : 26.06.2002

(51)Int.Cl.

G02F 1/1368
G09F 9/30
H01L 29/786

NOT AVAILABLE COT

(21)Application number : 2000-379412

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 13.12.2000

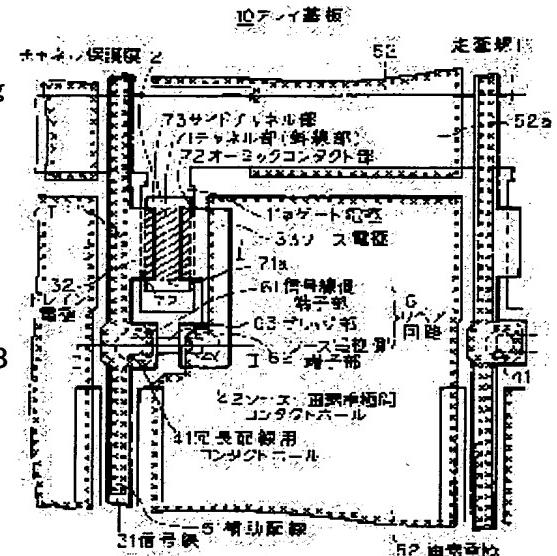
(72)Inventor : HIRAHARA HARUAKI
UESONO SHIGEHIRO

(54) ARRAY SUBSTRATE AND METHOD FOR MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an array substrate with which damage on a TFT(thin film transistor) caused by wet etching during contact hole formation in the array substrate is prevented and to provide a method used for manufacturing the same which are used for the flat display device etc.

SOLUTION: Both the distance from the edge of the channel part 71 of a TFT 7 to the edge of a contact hole 42 between a source and a pixel electrode and the distance from the edge of the channel part 71 of the TFT 7 to the edge of a contact hole 41 for the redundant wiring of a signal line 31 are set to be greater than 8 μm . In particular, the source-pixel electrode contact hole 42 is disposed on the source electrode-side terminal 62 of a repair circuit 6, and the contact hole 41 for redundant wiring is disposed on the signal line-side terminal 61 of the repair circuit 6.



解説：第一のバーニングによる金属配線(McW)及び
第二のバーニングによるテクニカル体焼成(2)
太線：第三のバーニングによる金属配線(McW/McM)
×糸引線：第4のバーニングによる透明導電膜(TCO)

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(書誌+要約+請求の範囲)

- (19)【発行国】日本国特許庁(JP)
 (12)【公報種別】公開特許公報(A)
 (11)【公開番号】特開2002-182241(P2002-182241A)
 (43)【公開日】平成14年6月26日(2002. 6. 26)
 (54)【発明の名称】アレイ基板及びその製造方法
 (51)【国際特許分類第7版】

G02F 1/1368
 G09F 9/30 338
 H01L 29/786

【FI】

G02F 1/1368
 G09F 9/30 338
 H01L 29/78 612 A

【審査請求】未請求

【請求項の数】5

【出願形態】OL

【全頁数】9

- (21)【出願番号】特願2000-379412(P2000-379412)

- (22)【出願日】平成12年12月13日(2000. 12. 13)

- (71)【出願人】

【識別番号】0000003078

【氏名又は名称】株式会社東芝

【住所又は居所】東京都港区芝浦一丁目1番1号

- (72)【発明者】

【氏名】平原 東晃

【住所又は居所】兵庫県姫路市余部区上余部50番地 株式会社東芝姫路工場内

- (72)【発明者】

【氏名】上園 重広

【住所又は居所】兵庫県姫路市余部区上余部50番地 株式会社東芝姫路工場内

- (74)【代理人】

【識別番号】100059225

【弁理士】

【氏名又は名称】葛田 章子(外3名)

【テーマコード(参考)】

2H092
 5C094
 5F110

【FTerm(参考)】

2H092 JA26 JA36 JA44 JA46 JB33 JB54 JB69 JB72 KA05 KA10 KA12 KA18 KA19 KB04 KB25 MA05 MA08 MA18 MA42 MA52 MA5C094 AA42 AA43 BA03 BA43 CA19 DA15 EA04 EA07
 5F110 AA27 BB02 CC07 EE06 EE44 FF02 FF30 GG02 GG15 HK03 HK04 HK09 HK16 HK22 HK25 HK33 HK35 HL07 HM19 NN02 NM

(57)【要約】

【課題】平面表示装置等に用いられるアレイ基板及びその製造方法において、コンタクトホール形成の際のウェットエッチングに起因するTFTの損傷を防止することのできるアレイ基板を提供する。

【解決手段】TFT7のチャネル部71の縁からソースー画素電極間コンタクトホール42の縁までの距離、及び、TFT7のチャネル部71の縁から信号線31の冗長配線用コンタクトホール41の縁までの距離のいずれもが8μm以上となるようにする。特に、ソースー画素電極間コンタクトホール42をリペア回路6のソース電極側端子部62上に配置するとともに、冗長配線用コンタクトホール41をリペア回路6の信号線側端子部61

上に配置する。

【特許請求の範囲】

【請求項1】基板上に略平行に配列される複数の走査線と、これに略直交する複数の信号線と、マトリクス状に配列される複数の画素電極と、これら画素電極ごとに配置されるスイッチング素子としての薄膜トランジスタとを備え、前記走査線、及び前記薄膜トランジスタのゲート電極を含む下層配線パターンと、この下層配線パターンを被覆する第1絶縁膜と、この第1絶縁膜を介して前記ゲート電極を覆うように配置されて前記薄膜トランジスタのチャネル部及びこの両側のコンタクト部をなす半導体膜と、前記信号線、及び前記薄膜トランジスタのソース及びドレイン電極を含む上層配線パターンと、少なくとも前記薄膜トランジスタを覆う第2絶縁膜と、少なくともこの第2絶縁膜を貫くコンタクトホールと、前記画素電極を含む第3導電層とを備え、前記コンタクトホールには、前記第2絶縁膜を貫き前記画素電極を前記ソース電極に電気的に接続するソース電極上のソースー画素電極間コンタクトホールが含まれる、平面表示装置用のアレイ基板において、前記チャネル部の縁から前記コンタクトホールの縁までの距離がいずれも8μm以上であることを特徴とするアレイ基板。

【請求項2】前記第1絶縁膜が酸化シリコン層を含み、前記第2絶縁膜が窒化シリコン層を含み、前記コンタクトホールには、前記ソースー画素電極間コンタクトホールと同時に形成されて前記第1及び第2絶縁膜を貫く外周部コンタクトホールが含まれることを特徴とする請求項1記載のアレイ基板。

【請求項3】前記画素電極ごとに、レーザー照射により画素表示不良を軽減するためのリペア回路が設けられ、該リペア回路は、前記ソース電極から延在されるソース電極側端子部と、前記信号線から延在される信号線側端子部と、前記下層配線パターンに属し前記電極側及び信号線側端子部の間に掛け渡されるように配される島状のブリッジ部とからなり、前記ソースー画素電極間コンタクトホールが、前記ソース電極側端子部に少なくとも部分的に重なるように配置されることを特徴とする請求項1記載のアレイ基板。

【請求項4】前記信号線に沿って該信号線に重ね合わされ、前記第3導電層に属する補助配線と、前記第2絶縁膜を貫き、前記信号線と前記補助配線とを互いに導通させる冗長配線用コンタクトホールを備え、前記冗長配線用コンタクトホールが、前記信号線側端子部に少なくとも部分的に重なるように配置されることを特徴とする請求項3記載のアレイ基板。

【請求項5】複数の走査線及びゲート電極と、これを覆う第1絶縁膜と、第1絶縁膜を介して前記ゲート電極に重ねられてチャネル部及びこの両側のコンタクト部をなすための半導体膜のパターンと、前記走査線に略直交する複数の信号線、及びソース及びドレイン電極とを形成するための一連の工程と、少なくとも前記ソース及びドレイン電極の近傍を被覆する第2絶縁膜を形成する工程と、エッチング液を用いて所定の個所で前記第2絶縁膜を除去することによりコンタクトホールを形成する工程と、この後に画素電極を形成する工程とかなるアレイ基板の製造方法において、前記コンタクトホールを形成する工程にて、前記チャネル部の縁から前記コンタクトホールの縁までの距離がいずれも8μm以上になるように設定されることを特徴とするアレイ基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置等の平面表示装置に用いられるアレイ基板及びその製造方法に関する。

【0002】

【従来の技術】近年、液晶表示装置は、薄型、軽量、低消費電力の特徴を生かして、パソコン・コンピュータ、ワードプロセッサあるいはTV等の表示装置として、更に投射型の表示装置として各種分野で利用されている。

【0003】中でも、各画素電極にスイッチ素子が電気的に接続されて成るアクティブマトリクス型表示装置は、隣接画素間でクロストークのない良好な表示画像を実現できることから、盛んに研究・開発が行われている。

【0004】以下に、光透過型のアクティブマトリクス型液晶表示装置を例にとり、その構成について簡単に説明する。

【0005】一般に、アクティブマトリクス型液晶表示装置は、マトリクスアレイ基板(以下アレイ基板と呼ぶ)と対向基板とが所定の間隔をなすよう近接配置され、この間隔中に、両基板の表層に設けられた配向膜を介して液晶層が保持されて成っている。

【0006】アレイ基板においては、ガラス等の透明絶縁基板上に、上層の金属配線パターンとして例えば複数本の信号線と、下層の金属配線パターンとして例えば複数本の走査線とが絶縁膜を介して格子状に配置さ

れ、格子の各マス目に相当する領域にITO(Indium-Tin-Oxide)等の透明導電材料からなる画素電極が配される。そして、格子の各交点部分には、各画素電極を制御するスイッチング素子が配されている。スイッチング素子が薄膜トランジスタ(以下、TFTと略称する。)である場合には、TFTのゲート電極は走査線に、ドレイン電極は信号線にそれぞれ電気的に接続され、さらにソース電極は画素電極に電気的に接続されている。このTFTの半導体活性層にはアモルファスシリコン(a-Si:H)が一般に用いられているが、近年では、画素電極等を配列したアレイ基板上に、駆動回路を一体に形成することが検討されており、この場合には、アモルファスシリコン(a-Si:H)よりも電子移動度の高いポリシリコン(多結晶シリコン)をTFTの半導体活性層として用いている。

【0007】対向基板は、ガラス等の透明絶縁基板上にITO等から成る対向電極が配置され、またカラー表示を実現するのであればカラーフィルタ層が配置されて構成されている。

【0008】ここで、通常、上記ゲート電極及び走査線の上には、その上方の半導体層等とを絶縁するために、酸化シリコンからなる第1ゲート絶縁膜が配されており、さらに窒化シリコンからなる第2ゲート絶縁膜が配されている。また、上記透明導電材料の層と信号線等の金属配線層との間には、窒化シリコンからなる層間絶縁膜が配されている。

【0009】このようなアクティブマトリクス液晶表示装置の製造コストを低減する上で、アレイ基板製造のための工程数が多く、そのためアレイ基板のコスト比率が高いという問題があった。

【0010】そこで、特願平8-260572号においては、画素電極を最上層に配置し、これに伴い信号線、ソース、ドレイン電極と共に、半導体被膜等を同一のマスクパターンに基づいて一括してパターニングを行った後、ソース電極と画素電極とを接続するソース-画素電極間コンタクトホールの作製と共に、信号線や走査線の接続端を露出するための外周部コンタクトホールの作製を同時に行うことが提案されている。

【0011】また、このようなコンタクトホールを効率的に製造する方法として、特願平10-63254においては、フッ化水素-フッ化アンモニウム緩衝液(バッファードフッ酸、BHF)を用いてウェットエッチングを行なうことが提案されている。さらに、特願平11-68034においては、このようなウェットエッチングとドライエッチングとを組み合わせることが提案されている。バッファードフッ酸を用いる場合、層間絶縁膜をなす窒化シリコン膜とゲート絶縁膜に含まれる酸化シリコン膜とを一括して効率良くエッチングができる。

【0012】一方、特開平9-101541によれば、信号線の断線不良を防止すべく、信号線について、絶縁膜を介して重ね合わされる第1の導電層と第2の導電層との冗長配線構造とし、これら第1の導電層と第2の導電層とをコンタクトホールによって電気的に接続することが提案されている。そして、このような冗長配線用コンタクトホールについても、上記のソース-画素電極間コンタクトホール等と同時に同一のパターニング工程により作成している。

【0013】特に、特願平11-190080では、画素開口率を向上すべく、冗長配線用コンタクトホールを、信号線からドレイン電極が枝分かれする個所に設けることが提案されている。特願平11-190080に開示された従来技術のアレイ基板について図7に示す。

【0014】図7に示すように、TFT7のチャネル部71を挟んで、ソース電極33上、及びドレイン電極32上に、それぞれ、ソース-画素電極間コンタクトホール42と、冗長配線用コンタクトホール34とが配置される。このような構造であると、コンタクトホール41、42を設けることに起因する画素開口率の損失を最小限に抑えることができる。

【0015】

【発明が解決しようとする課題】しかし、上記従来技術のアレイ基板の構造であると、TFT7のチャネル部71に近接して、コンタクトホール41、42が設けられる。

【0016】そのため、ソース電極33やドレイン電極32を構成する金属材料に、エッチング液が浸透可能な欠陥が何らかの原因で生じた場合、コンタクトホールを設けるためのウェットエッチング工程において、染み込んだエッチング液によってTFT7が損傷を受けることがある。特には、チャネル部71(図7ではチャネル保護膜2に覆われる個所)の両側にある、半導体層36とソース及びドレイン電極32、33とのオーミックコンタクト部72において、これらコンタクト用の界面にエッチング液が浸透してこれらの間の電気的な導通性能を損なうことによりTFT7の特性不良を引き起こすことがあった。

【0017】特には、ソース電極33やドレイン電極32を構成する金属材料として、近年、アルミニウム金属又は合金が多く用いられることからエッチング液による損傷を受け易くなっている。このような金属材料に欠陥が生じる原因としては、ゴミ等によるピンホールの生成や、コンタクトホール形成のためのフォトリソグラフィー工程における静電破壊(ESD; Electro Static Destruction)による損傷などが挙げられる。

【0018】本発明は、上記問題点に鑑みなされたものであり、平面表示装置等に用いられるアレイ基板において、コンタクトホール形成の際のウェットエッチングに起因するTFTの損傷を防止することのできるアレイ基板を提供するものである。

【0019】

【課題を解決するための手段】請求項1記載のアレイ基板は、基板上に略平行に配列される複数の走査線と、これに略直交する複数の信号線と、マトリクス状に配列される複数の画素電極と、これら画素電極ごとに配置されるスイッチング素子としての薄膜トランジスタとを備え、前記走査線、及び前記薄膜トランジスタのゲ

一ト電極を含む下層配線パターンと、この下層配線パターンを被覆する第1絶縁膜と、この第1絶縁膜を介して前記ゲート電極を覆うように配置されて前記薄膜トランジスタのチャネル部及びこの両側のコンタクト部をなす半導体膜と、前記信号線、及び前記薄膜トランジスタのソース及びドレイン電極を含む上層配線パターンと、少なくとも前記薄膜トランジスタを覆う第2絶縁膜と、少なくともこの第2絶縁膜を貫くコンタクトホールと、前記画素電極を含む第3導電層とを備え、前記コンタクトホールには、前記第2絶縁膜を貫き前記画素電極を前記ソース電極に電気的に接続するソース電極上のソースー画素電極間コンタクトホールが含まれる、平面表示装置用のアレイ基板において、前記チャネル部の縁から前記コンタクトホールの縁までの距離がいずれも8μm以上であることを特徴とする。

【0020】上記構成により、コンタクトホール形成の際のウェットエッチングに起因するTFTの損傷を防止することができる。

【0021】請求項3のアレイ基板は、前記画素電極ごとに、レーザー照射により画素表示不良を軽減するためのリペア回路が設けられ、該リペア回路は、前記ソース電極から延在されるソース電極側端子部と、前記信号線から延在される信号線側端子部と、前記下層配線パターンに属し前記電極側及び信号線側端子部の間に掛け渡されるように配される島状のブリッジ部とからなり、前記ソースー画素電極間コンタクトホールが、前記ソース電極側端子部に少なくとも部分的に重なるように配置されることを特徴とする。

【0022】このような構成により、画素開口率の損失を最小限とすることができます。

【0023】

【発明の実施の形態】実施例のアレイ基板10の構成について、図1～3を用いて説明する。

【0024】図1の平面図には、アレイ基板10の画素部分の構成を示す。また、図2には、TFTの個所(図1のII-II断面)における平面表示装置の積層構造を示し、図3には、リペア用回路の個所(図1のIII-III断面)における平面表示装置の積層構造を示す。

【0025】実施例の平面表示装置は、画像表示領域の対角寸法が13.3インチであってXGA仕様のノーマリホワイトモードの光透過型TFT液晶表示装置である。

【0026】この平面表示装置のアレイ基板10においては、1024×3本の信号線1と、768本の走査線11が互いに直交するように配列される。走査線11及びゲート電極11aを含む下層の金属配線パターンは、例えばモリブデンータンクステン(Mo-W)により形成され、全体がゲート絶縁膜15により覆われる。

【0027】信号線31と走査線11とにより区画される画素開口ごとにおいて、信号線31と走査線11との交差部近傍に、スイッチング素子としてのTFT7が配置される。TFT7は、図3に示すように、走査線11の延在部11aをゲート電極とする逆スタガ型である。ゲート電極11aを覆う個所に、ゲート絶縁膜15を介して、アモルファスシリコン(a-Si:H)層36が配置される。この半導体層の上には、ゲート電極11aの略中央の個所でチャネル保護膜2が配置され、チャネル保護膜2の左右両側で低抵抗半導体層としてリンドープアモルファスシリコン(n⁺a-Si:H)層37が積層配置される。n⁺a-Si:H層37の上には、アルミニウム(AI)層とこれを上下から挟むモリブデン(Mo)層との三層金属膜(Mo/AI/Mo)から成る、ソース電極33及びドレイン電極32が配置される。

【0028】本明細書においては、チャネル保護膜2により覆われる部分であって、サイドチャネル部73を除く領域、換言すれば半導体層とソース電極との接続端辺と、半導体層とドレイン電極との接続端辺とに挟まれた領域をチャネル部71と呼ぶことにする。すなわち、ソース及びドレイン電極32、33がn⁺a-Si:H層37を介してa-Si:H層36と接触する領域をオーミックコンタクト部72と呼び、両側のオーミックコンタクト部72に挟まれた領域をチャネル部71と呼ぶことにする。サイドチャネル部73は、チャネル部71の長手方向両端にて、対応するソース及びドレイン電極32、33の両端からはみ出す領域のことをいう。

【0029】チャネル保護膜2を有しないTFTにあっては、ソース電極とドレイン電極に挟まれた領域が、本明細書でいうところのチャネル部である。

【0030】これらソース電極33及びドレイン電極32を含む上層の金属配線パターンは、全体が、窒化シリコン膜から成る層間絶縁膜4により覆われる。

【0031】TFT7から少し離れた位置、詳しくは、信号線31に沿って走査線11より遠ざかる側へと少し離れた位置には、リペア回路が設けられている。リペア回路は、TFT7の不良が発見された場合に画素電極52に常に信号線31の信号電圧が印加するようにすることで表示不良を軽減させるためのものである。

【0032】リペア回路6は、信号線31から略直角に延在される信号線側端子部61と、ソース電極33から延在されたソース電極側端子部62と、ゲート絶縁膜15を介してこれらの間に掛け渡されるように配置される島状のブリッジ部63とからなる。このブリッジ部63は、走査線11及びゲート電極11aと同時に形成される独立の金属パターンである。点灯検査等の際に、TFT7の不良による画素欠陥が発見された場合には、レーザー光線照射により、ソース電極側端子部62及びソース電極側端子部62とブリッジ部63とが導通される。

【0033】層間絶縁膜4の上には画素開口ごとにITO層からなる画素電極52が配される。そして、画素電極52とソース電極33とを接続するためのソースー画素電極間コンタクトホール42は、図1に示すように、リペア回路6のソース電極側端子部62の領域内に設けられる。

【0034】信号線31には、画素電極3と同時に作成される補助配線51が重ねられて、冗長配線構造をなし

ている。層間絶縁膜4を貫いて信号線31と補助配線51とを導通させるためのコンタクトホール41は、画素開口ごとに、信号線31から、リペア回路6の信号線側端子部61が枝分かれする個所に設けられている。

【0035】TFT7の近傍において、チャネル部71のリペア回路側の縁71aから、コンタクトホール41, 42の縁までの距離は、いずれも、 $8\mu\text{m}$ 以上、好ましくは $10\mu\text{m}$ 以上、より好ましくは $12\mu\text{m}$ 以上に設定される。通常は、 $8\mu\text{m}$ 以上の距離があれば、コンタクトホール41, 42を形成するためのエッティング液がTFT7のチャネル部71近傍にまで達することがなく、したがって、TFT7に不良を引き起こすことがない。一方、この距離を大きく取りすぎると、ソース電極33から延在される端子部62が引き延ばされる分だけ、画素開口率を損なうこととなる。最も好ましい距離は、図示のような構成において、例えば、約 $14\sim16\mu\text{m}$ である。

【0036】信号線31は、画素開口率を向上すべく、例えば $5\mu\text{m}$ とかなり細く形成されている。これに対して、コンタクトホール41, 42の径はいずれも約 $8\mu\text{m}$ である。通常の露光精度の下では、レジストパターンに設けるホールの径の下限が約 $3\sim4\mu\text{m}$ であり、ウェットエッティングによる両側へのサイドエッティングの寸法が約 $2\mu\text{m}$ であるからである。さらに、コンタクトホール41, 42が下方の三層金属膜のパターンから「はみ出さない」ようにするために、パターンずれを考慮したマージンを設ける必要がある。

【0037】しかし、リペア回路6の接続端子部61, 62の寸法が、リペアを確実にするための通常の設計においてもかなり大きいものである。そのため、信号線31と信号線側接続端子部61が合わさった矩形状の個所についての概略の縦横寸法、及び、ソース電極側接続端子部62の先端部についての概略の縦横寸法は、例えば $13\mu\text{m}$ 以上である。

【0038】したがって、リペア回路の接続端子部61, 62に重なるようにコンタクトホール41, 42を配置することにより、コンタクトホールの配置個所で信号線31やソース電極33の延在部が画素電極52の側へと突き出す寸法を最小限に抑えることができる。図示の例では、コンタクトホール41の配置個所において信号線31が画素開口へといぶん突き出すものとして描いているが、接続個所の寸法等の条件によっては、画素開口領域を全く損なわない構成とすることもできる。

【0039】なお、チャネル部71の縁からコンタクトホール41, 42の中心までの寸法の方が、その縁までの距離よりも容易に把握できる場合には、コンタクトホール41, 42の半径が通常は約 $4\mu\text{m}$ であるので、適宜換算することができる。例えば、縁までの距離が $8\mu\text{m}$ というのは、中心までの距離にすると約 $12\mu\text{m}$ となる。

【0040】また、コンタクト部72の幅が典型的には約 $2\mu\text{m}$ であるので、チャネル部71の幅方向に遠ざかる方向における、コンタクト部72の縁からの距離またはゲート電極11aの縁からの距離についても、上記のチャネル部71の縁からの距離より、約 $2\mu\text{m}$ を減じて算出することができる。

【0041】次に図4～6を用いて、アレイ基板10の製造工程の概略を説明する。また、併せて、アレイ基板10の、より詳細な構成について説明する。

【0042】(1) 第1のパターニング(図4)

ガラス基板18上(図2～3)上に、スパッタ法により、例えばモリブデン一タンクスチタン合金膜(MoW膜)を堆積させた後、走査線11、及びゲート電極11aを形成する。ゲート電極11aは、走査線11から略直角に延在された延在部からなる。同時に、ゲート電極11aからその先端側に少し離れた位置に、走査線11に沿った方向に延びる短冊状のパターンが、リペア回路6のブリッジ部63として設けられる。

【0043】なお、信号線細線部8aの予定個所を左右から挟むように、帯状のフロートパターン13を形成する。このフロートパターン13は、画素電極52の縁と重なり、遮光を行うとともに部分的に補助容量を形成するものである。

【0044】(2) 第2のパターニングプラズマCVD法により、酸化シリコン膜からなる第1ゲート絶縁膜16、および、窒化シリコン膜からなる第2ゲート絶縁膜17を堆積させ、さらに、TFT7の半導体活性層をなすためのアモルファシリコン(a-Si:H)層36、及び窒化シリコン膜を、連続して堆積させる。

【0045】この後、窒化シリコン膜をパターニングしてゲート電極11aの略中央部にチャネル保護膜2を形成する。この際、通常は、ゲート電極11a等をマスクとする裏面露光技術が用いられるのであり、ゲート電極11aの幅方向両側の縁からチャネル保護膜2の縁までの寸法は、一般に $1.5\sim2.5\mu\text{m}$ であり、典型的には約 $2\mu\text{m}$ である。

【0046】(3) 第3のパターニング(図5)

プラズマCVD法によりリンドープアモルファシリコン($n^+a\text{-Si:H}$)層37を堆積し、さらに、スパッタリングにより、モリブデン(Mo)膜—アルミニウム(Al)膜—モリブデン(Mo)膜の3層膜からなる金属層を堆積させる。この金属層と半導体層36, 37を一括してパターニングすることにより、信号線31と、この延在部から成るドレン電極32、及びソース電極33とを形成する。

【0047】また、上記ブリッジ部63の一端部61aを覆うように、信号線31から延在された、リペア回路6の信号線側端子部61を作成する。一方、上記ブリッジ部63の他端部61bを覆うように、ソース電極33から延在された、リペア回路6のソース電極側端子部62を作成する。

【0048】信号線31は、信号線側端子部61との接続個所を除き、幅が $5\mu\text{m}$ である。

【0049】(4) 第4のパターニング(図6)

窒化シリコンから成る層間絶縁膜4を堆積した後、レジストの塗布、露光及び現像を経てレジストパターンを

形成し、フッ化水素ーフッ化アンモニウム緩衝液(バッファードフッ酸、BHF)を用いてウェットエッチングを行う。ここで用いたバッファードフッ酸は、フッ化水素を6%、フッ化アンモニウムを28%含有する水溶液である。

【0050】このエッチングにより、画素領域内で層間絶縁膜4を貫く、信号線の冗長配線用コンタクトホール41とソースー画素電極間コンタクトホール42とを設ける。同時に、画素領域を囲む外周部において、ゲート絶縁膜15及び層間絶縁膜4を貫く第1外周部コンタクトホールと、層間絶縁膜4を貫く第2外周部コンタクトホールとを形成する。例えば、走査線11及び信号線31から外周部への引き出し配線が、走査線11と同時に形成される下層配線と、信号線31と同時に形成される上層配線との冗長配線構造を有する場合に、第1外周部コンタクトホールが下層配線の一部を露出させ、第2外周部コンタクトホールが上層配線の一部を露出させる。

【0051】(5) 第5のパターニング透明導電層として、例えばITOを堆積した後、パターニングにより、補助配線51及び画素電極52を作成する(図1)。補助配線51は、コンタクトホール41の配置個所を除き、幅が4μmである。

【0052】また、外周部においては、例えば、上記の第1及び第2外周部コンタクトホールを覆う導電層を形成することにより、引き出し配線の上層配線と下層配線とを互いに接続する。

【0053】なお、画素電極52には、画素開口におけるTFT7から見て対角側に、走査線11を覆う延在部52aが設けられ、走査線11との間で補助容量(Cs)を形成している(図1)。

【0054】本実施例によると、冗長配線用コンタクトホール41及びソースー画素電極間コンタクトホール42が、TFTのチャネル部71から充分に離されている。そのため、コンタクトホール41, 42を形成するエッチング工程において、エッチング液が該コンタクトホール41, 42の個所から、三層金属膜に生じたピンホール等の欠陥を通じて浸透した場合にも、TFT7が損傷を受けることがない。

【0055】また、冗長配線用コンタクトホール41及びソースー画素電極間コンタクトホール42が、リペア回路6の端子部61, 62の個所に設けられるため、信号線31、走査線11及びTFT7などにより画される画素開口の有効面積は、コンタクトホール41, 42を配置することによってほとんど減少しない。

【0056】上記実施例においては、TFT7のチャネル部71にチャネル保護膜2が備えられるものとして説明したが、アレイ基板上に備えられるTFTがチャネル保護膜2を有しないタイプであっても全く同様である。

【0057】また、上記実施例においては透過型の平面表示装置に用いるアレイ基板について説明したが、反射型の平面表示装置に用いることも可能である。但し、厚さ1μm以上といった低誘電率の樹脂膜を配置しこの上に反射電極を載置する場合には、リペア回路の個所にコンタクトホールを設けなくても光の利用率を低下させることができない。なお、反射型である場合には、リペアのためのレーザー照射は、裏面側から行うことができる。

【0058】

【発明の効果】平面表示装置等に用いられるアレイ基板及びその製造方法において、コンタクトホール形成の際のウェットエッチングに起因するTFTの損傷を防止することができる。

【図面の簡単な説明】

【図1】実施例のアレイ基板における画素部分の概略構成を模式的に示す平面図である。

【図2】TFTの個所(図1のIIーII断面)におけるアレイ基板の積層構造を示す部分断面図である。

【図3】リペア回路の個所(図1のIIIーIII断面)におけるアレイ基板の積層構造を示す部分断面図である。

【図4】第1のパターニング後の様子を示す、図1に対応する平面図である。

【図5】第3のパターニング後の様子を示す、図1に対応する平面図である。

【図6】第4のパターニング後の様子を示す、図1に対応する平面図である。

【図7】従来例のアレイ基板の概略構成を示す、図1に対応する平面図である。

【符号の説明】

10 アレイ基板

11 走査線

11a ゲート電極

2 チャネル保護膜

31 信号線

32 ドレン電極

33 ソース電極

41 信号線の冗長配線用コンタクトホール

42 ソース電極ー画素電極間コンタクトホール

51 信号線の補助配線(ITO)

52 画素電極(ITO)

6 リペア回路

61 リペア回路の信号線側端子部

62 リペア回路のソース電極側端子部

63 ゲート電極と同時に形成される、リペア回路のブリッジ部

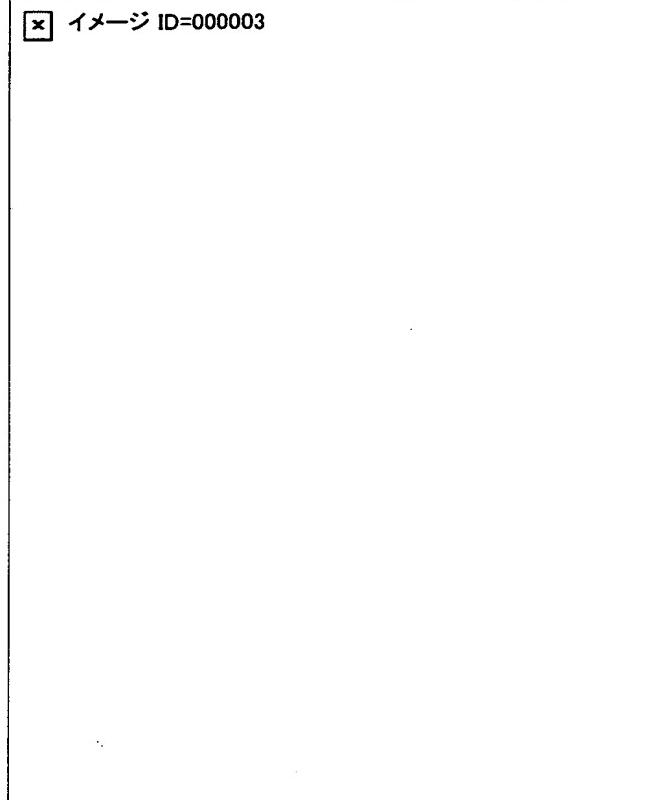
7 TFT

71 チャネル部

72 オーミックコンタクト部

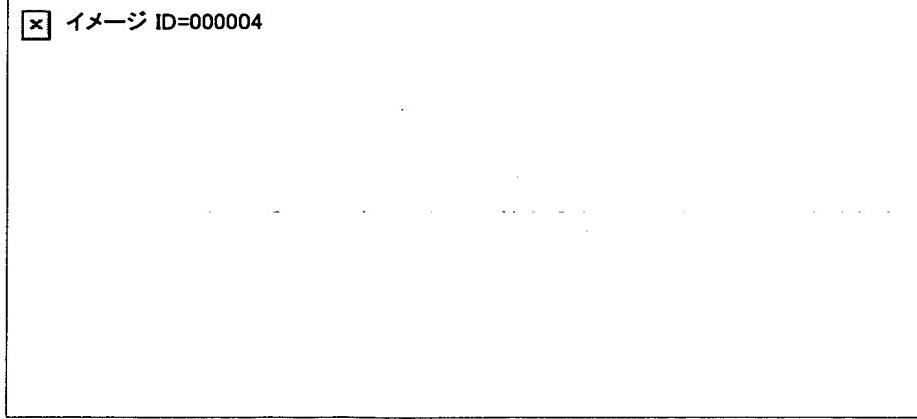
【図1】

イメージ ID=000003



【図2】

イメージ ID=000004



【図4】

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

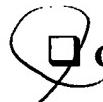
BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

 **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.